

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022126

(43)Date of publication of application : 21.01.2000

(51)Int.Cl. H01L 27/148
H04N 5/335

(21)Application number : 10-187763 (71)Applicant : SONY CORP

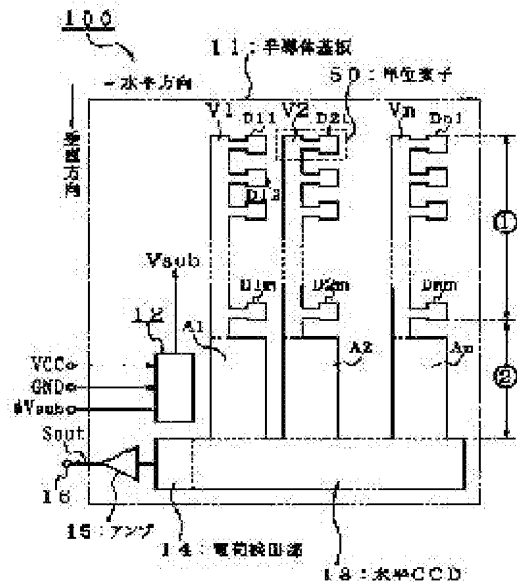
(22)Date of filing : 02.07.1998 (72)Inventor : NAKAGAWA SHINJI

(54) SOLID-STATE IMAGE-PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable to reduce the readout voltage by signal charge which is read from each photoelectric transfer device, and to reduce the power consumption of a solid-state image-pickup device.

SOLUTION: A solid-state image-pickup device 100 is provided with a semiconductor substrate 11, on which plural HAD(hole accumulate diode) sensors D11-D1m, Dnm, etc., are placed two-dimensionally, a substrate bias generating circuit 12 which supplies substrate voltage V_{sub} to the semiconductor substrate 11, vertical CCD(charge-coupled device) parts V1-Vn which read signal charge from a HAD sensor Dnm of the semiconductor substrate 11 and transfer it in the vertical direction, a charge storing parts A1-An which store a signal charge that is vertically transferred, a horizontal CCD 13 which transfers the signal charge from the charge storing parts A1-An in the horizontal direction and a charge detector 14 which outputs the signal charge which is transferred horizontally. When the signal charge is read from the HAD sensor to the vertical CCD, a substrate voltage which is lower than that when no signal charge is read from the HAD sensor is applied to the semiconductor substrate 11.



LEGAL STATUS

[Date of request for examination] 11.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2000-22126
(P2000-22126A)

(43) 公開日 平成12年 1 月21 日 (2000. 1. 21)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 1 L 27/148

H 0 1 L 27/14

B 4 M 1 1 8

H 0 4 N 5/335

H 0 4 N 5/335

Z 5 C 0 2 4

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願平10-187763

(22) 出願日 平成10年 7 月 2 日 (1998. 7. 2)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 中川 進次

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外 1 名)

F ターム (参考) 4M118 AA04 AA10 AB01 BA12 BA13

CA04 DA03 DA32 DB11 FA06

FA13 FA26 FA35 FA50 GB11

5C024 AA01 CA00 FA01 FA11 GA15

GA16 GA17 GA44

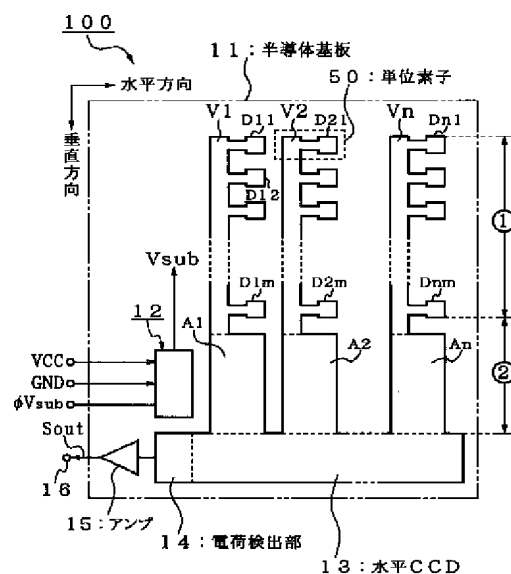
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、当該固体撮像装置の消費電力を低減できるようにする。

【解決手段】 複数のHADセンサD11~D1m, Dnm...を二次元状に配置した半導体基板11と、この半導体基板11に基板電圧Vsubを供給する基板バイアス発生回路12と、この半導体基板11のHADセンサDnmから信号電荷を読み出して垂直方向に転送する垂直CCD部V1~Vnと、この垂直転送された信号電荷を蓄積する電荷蓄積部A1~Anと、この電荷蓄積部A1~Anによる信号電荷を水平方向に転送する水平CCD部13と、この水平転送された信号電荷を出力する電荷検出部14とを備え、HADセンサから垂直CCDに信号電荷を読み出すときは、そのHADセンサから信号電荷を読み出さない場合の基板電圧に比べて低い基板電圧を半導体基板11に印加するようになされたものである。

実施形態としての固体撮像装置100の構成例



D11~D1m, D11~Dnm: HADセンサ

A1~An: 電荷蓄積部

V1~Vn: 垂直CCD

12: 基板バイアス発生回路

【特許請求の範囲】

【請求項 1】 複数の光電変換素子を二次元状に配置した半導体基板と、

前記半導体基板に基板バイアス用の電圧を供給する電圧供給部と、

前記電圧供給部による電圧が印加された前記半導体基板の光電変換素子から信号電荷を読み出して所定の方向に転送する電荷転送部とを備え、

前記電圧供給部は、少なくとも、前記光電変換素子から前記電荷転送部に信号電荷を読み出すときは、前記光電変換素子から信号電荷を読み出さない場合の電圧に比べて低い電圧を前記半導体基板に印加するようになされたことを特徴とする固体撮像装置。

【請求項 2】 前記半導体基板、電荷転送部及び電圧供給部が設けられる場合であって、

前記電圧供給部は、

前記電荷転送部への信号電荷の読み出しを許可する駆動パルスの立ち上がりの直後に、前記半導体基板に供給された電圧を下げることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記電圧供給部は、

電源電圧を分割して基板バイアス用の電圧を生成する電圧分割用の抵抗と、

電圧制御用のクロック信号に基づいて前記電圧を調整するトランジスタと、

前記トランジスタのオン動作によって電流を引き入れる抵抗とを有することを特徴とする請求項 1 記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は複数の光電変換素子を二次元状に配置したフレームトランスファ方式、インターラントランスファ方式及びフレームインターラントランスファ方式などの CCD 撮像装置に適用して好適な固体撮像装置に関する。

【0002】詳しくは、光電変換素子を配置した半導体基板に基板バイアス用の電圧を供給する際に、光電変換素子から信号電荷を読み出すときは、その信号電荷を読み出さない場合の電圧に比べて低い電圧を半導体基板に印加するようにして、各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、当該固体撮像装置の消費電力を低減できるようにしたものである。

【0003】

【従来の技術】近年、学校、家庭や放送局などにおいてビデオカメラ及びデジタルスチルカメラが使用される場合が多くなってきた。この種のカメラで不可欠なのが固体撮像装置である。固体撮像装置は光電変換素子としての CCD (Charge Coupled Device: 電荷結合素子) 撮像素子を二次元状に配置したものである。ここで、C

CD 撮像素子とは、フォトダイオードや MOS キャパシタなどからなる単位素子を規則正しく並べた構造の半導体デバイスをいう。固体撮像装置は半導体基板表面に蓄積されたある電荷のひとかたまりを MOS キャパシタの電極の並びに沿って移動する機能を有している。

【0004】つまり、固体撮像装置は半導体基板上に複数のフォトダイオード (CCD センサ)、MOS キャパシタ、垂直 CCD、水平 CCD 及び電荷検出部などを有している。そして、光を固体撮像装置の受光面に照射すると、その光がフォトダイオードによって信号電荷に変換された後に、その信号電荷が MOS キャパシタに蓄積される。MOS キャパシタに蓄積された信号電荷は、垂直 CCD や水平 CCD によって転送され、最終段の電荷検出部で信号電荷が検出されてアナログ撮像信号となって読み出される。このような光電変換、信号電荷の蓄積、転送及び検出を円滑に行なうために半導体基板には、基板バイアス用の電圧 (以下基板電圧ともいう) が供給されている。

【0005】図 6 はこの種の固体撮像装置の基板バイアス発生回路 1 の構成例を示す図である。基板バイアス発生回路 1 は電圧分割用の抵抗 R1 及び R2 を有している。抵抗 R1 の一端は電源線 VCC に接続され、その他端は抵抗 R2 の一端に接続される。抵抗 R2 の他端は接地線 GND に接続されている。基板電圧 Vsub は抵抗 R1 及び R2 の直列接続点 p1 から引き出され、図示しないフォトダイオード、MOS キャパシタ、垂直 CCD、水平 CCD 及び電荷検出部などを配置した半導体基板に供給される。電圧分割用の抵抗 R1 及び R2 の直列接続点 p1 には基板バイアス端子 2 が設けられ、数 MΩ 程度の外付け用の抵抗 R0 が接続され、電子シャッタ機能を行なう場合以外は基板電圧 Vsub が固定されている。

【0006】

【発明が解決しようとする課題】ところで、従来方式によれば、固体撮像装置の小型化及び多画素化により単位素子自体も非常に小さくなってきている。このため、以下のような問題がある。

① CCD 撮像素子のサイズが小さくなると、フォトダイオードなどの CCD センサから垂直 CCD に信号電荷を読み出すための基板電圧を高くせざるを得なくなる。これは固体撮像装置の受光面の 1 画素の水平方向の幅は微細化するが、基板の深さ方向への縮小があまり見込めないためである。

② また、垂直 CCD に読み出すための信号電荷による読み出し電圧をプロセス的に下げようすると、ブルーミングに対するマージンが不足するおそれがある。ここで、ブルーミングとは輝度の高い被写体の画像の上下に白い筋が走ってしまう現象をいう。この現象は、垂直 CCD で転送している信号電荷に、強い光を受けたフォトダイオードで蓄積しきれずにあふれた信号電荷が混ざってしまうために生ずる。このような現象は、CCD 撮像

素子（以下光電変換素子ともいう）のプロセス上の不具合が原因して、フォトダイオードのオーバーフローポテンシャル Φ_{OFF} と垂直CCDの読み出しゲートのチャネルポテンシャル Φ_{OC} とが逆転してしまうために発生するものと考えられる。

③ このブルーミング対策としては、垂直CCDに読み出す信号電荷の読み出し電圧を高くすればマージンは確保できるが、今度は系統的に消費電力が増加することとなる。

【0007】そこで、本発明は上記の課題に鑑み創作されたものであり、各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、消費電力を低減できるようにした固体撮像装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上述した課題は、複数の光電変換素子を二次元状に配置した半導体基板と、この半導体基板に基板バイアス用の電圧を供給する電圧供給部と、この電圧供給部による電圧が印加された半導体基板の光電変換素子から信号電荷を読み出して所定の方に転送する電荷転送部とを備え、電圧供給部は、少なくとも、光電変換素子から電荷転送部に信号電荷を読み出すときは、光電変換素子から信号電荷を読み出さない場合の電圧に比べて低い電圧を半導体基板に印加するようになされたことを特徴とする固体撮像装置によって解決する。

【0009】本発明によれば、光電変換素子から電荷転送部へ信号電荷を読み出すときに、その信号電荷を読み出さない場合の基板バイアス用の電圧に比べて低い電圧が電圧供給部から半導体基板に印加される。従って、各々の光電変換素子から電荷転送部へ読み出すときの信号電荷の一部を半導体基板側に逃がすことができるので、その信号電荷による読み出し電圧を低下させることができる。これにより、電荷読出時の信号電荷による読み出し電圧が下がることで、当該固体撮像装置の消費電力を低減させることができる。

【0010】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施の形態について説明をする。図1は本発明の実施形態としての固体撮像装置100の構成例を示すブロック図である。

【0011】この実施形態では、光電変換素子を配置した半導体基板に、基板バイアス用の電圧を供給する際に、光電変換素子から信号電荷を読み出すときは、その信号電荷を読み出さない場合の電圧に比べて低い電圧を半導体基板に印加するようにして、各々の光電変換素子から読み出される信号電荷による読み出し電圧を低下できるようにすると共に、当該固体撮像装置の消費電力を低減できるようにしたものである。

【0012】この発明の固体撮像装置100は図1に示

す半導体基板11を有しており、この半導体基板11上には撮像領域（受光面）①及び遮光領域②が区分けされている。この撮像領域①で破線で囲んだ部分が1画素を構成する単位素子50である。単位素子50の断面構造例については図4で説明する。

【0013】この半導体基板11上の撮像領域①には、複数の光電変換素子が二次元状に配置されている。例えば、固体撮像装置100をFIT（Frame Interline Transfer）方式に適用する場合には、光電変換素子として P^+NPN 型のホール・アキュムレート・ダイオード（Hole Accumulated Diode：以下HADセンサともいう）が使用される。この固体撮像装置100を合計 $m \times n$ （ $m=1 \sim m$ 、 $n=1 \sim n$ ）画素で構成する場合には、垂直方向に m 個のHADセンサD11～D1mが形成され、このHADセンサD11～D1mが水平方向に n 列並んで形成されている。この撮像領域①に入射した光は図4で説明するようなMOSキャパシタに蓄積される。

【0014】この半導体基板11には電圧供給部として基板バイアス発生回路12が形成されており、半導体基板11に基板バイアス用の電圧（以下基板電圧 V_{sub} という）が供給される。この例では、基板バイアス発生回路12は、少なくとも、HADセンサDnmから電荷転送部へ信号電荷を読み出すときは、HADセンサDnmから信号電荷を読み出さない場合の基板電圧 V_{sub1} に比べて低い基板電圧 V_{sub2} を半導体基板11に印加するようになされる。基板バイアス発生回路12の内部構成例については図2で説明する。

【0015】この半導体基板11の垂直方向には電荷転送部として n 列の垂直CCD部V1～Vnが格子状に設けられ、基板電圧 V_{sub} を印加した半導体基板11の各々のHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmから信号電荷を読み出し、転送クロック信号に基づいてその信号電荷が垂直方向に転送される。この際の転送クロック信号には2相、4相、6相のクロック信号などが使用される。

【0016】また、半導体基板11上の遮光領域②には電荷蓄積部A1～Anが設けられており、垂直CCD部V1～Vnの各々の出力段がこれらの電荷蓄積部A1～Anに接続されて、その垂直CCD部V1～Vnによる信号電荷を蓄積するようになされている。この電荷蓄積部A1～Anには電荷転送部として水平CCD部13が接続され、電荷蓄積部A1～Anによる信号電荷が転送クロック信号に基づいて水平方向に転送される。この水平CCD部13の出力段には電荷検出部14が接続され、水平CCD部13による信号電荷が検出される。電荷検出部14の出力段にはアンプ15が接続され、信号電荷検出後のアナログ撮像信号Soutが増幅される。この増幅後のアナログ撮像信号Soutは出力端子16から外部の信号処理回路などの周辺回路に出力される。

10

20

30

40

50

【0017】図2は基板バイアス発生回路12の内部構成例を示す回路図である。図2に示す基板バイアス発生回路12は3つの抵抗R1～R3と、1つのトランジスタTrとを有している。

【0018】抵抗R1の一端は電源線VCCに接続され、その他端は抵抗R2の一端に接続される。抵抗R2の他端は接地線GNDに接続されている。基板電圧Vsubは電源電圧VCC-GNDを分割して生成され、抵抗R1及びR2の直列接続点p1から引き出される。この基板電圧Vsubは、図1に示したHADセンサD11～D1m、D21～D2m・・・Dn1～Dnm、垂直CCD部V1～Vn、水平CCD部13及び電荷検出部14などを配置した半導体基板11に供給される。

【0019】電圧分割用の抵抗R1及びR2の直列接続点p1には、例えば、n型の電界効果トランジスタTrが接続される。この例では、電圧制御用のクロック信号として、例えば、電子シャッタ制御パルスφVsubに基づいて信号電荷読み出し時の基板電圧Vsubが調整される。このために、トランジスタTrのドレインは直列接続点p1に接続され、そのソースが抵抗R3の一端に接続される。トランジスタTrのゲートには電子シャッタ制御パルスφVsubが供給される。

【0020】この抵抗R3は従来方式の外付け抵抗R0=1MΩ程度に比べて、1/10～1/100・・・と数段低く、数10KΩ～数100KΩ単位である。抵抗R3の他端は接地線GNDに接続される。この例では、トランジスタTrのゲートにハイ・レベルの電子シャッタ制御パルスφVsubが入力されると、トランジスタTrがオンする。このオン動作によって抵抗R3に電流が流れるので、基板電圧Vsubを下げる事ができる。

【0021】次に、基板バイアス発生回路12の信号電荷読み出し時の動作を説明する。図3Aは読み出しクロック信号φSGのパルス波形図であり、図3Bは基板電圧Vsubの波形図であり、図3Cは電子シャッタ制御パルスφVsubのパルス波形図である。この例では、読み出しクロック信号φSGの立ち上がりの直後に、基板バイアス発生回路12によって、半導体基板11に供給された基板電圧Vsubが下げられるものである。この際、読み出しクロック信号φSGはHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmから垂直CCD部V1～Vnへ信号電荷の読み出し許可をする駆動パルスである。

【0022】通常、半導体基板11の基板電圧はDC的にVsub1に固定するようになされている。高速電子シャッタを使用する時は、図3Bに示すタイミング①でHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmの信号電荷を一斉に半導体基板11に掃き捨てるために、通常の基板電圧Vsub1よりも高い基板電圧Vsub3を印加するようになされている。

【0023】この例では、図3Aに示すタイミング②で

読み出しクロック信号φSGが立ち上がると、その立ち上がり直後に図3Cに示すタイミング③で電子シャッタ制御パルスφVsubがロー・レベルからハイ・レベルに立ち上がる。この電子シャッタ制御パルスφVsubを入力したトランジスタTrはオンする。このオン動作により、図3Bに示すタイミング④で通常の基板電圧Vsub1よりも低い基板電圧Vsub2が半導体基板11に印加されるようになる。すなわち、トランジスタTrのオン動作によって、余剰な信号電荷による電流を抵抗R3に強制的に引き入れ、この電流を抵抗R3で消費させることができる。その結果で基板電圧Vsubを下げる事ができる。この例で、図3Bに示す基板電圧Vsub1、Vsub2、Vsub3は、接地線GNDからの絶対的な電位であり、Vsub2<Vsub1<Vsub3の関係にある。

【0024】従って、信号電荷の読み出し時には、半導体基板11と容量結合しているHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmのポテンシャルも浅くなり、その結果、各々のHADセンサD11～D1m、D21～D2m・・・Dn1～Dnmと、垂直CCD部V1～Vnとの間のフリンジング電界が高くなることにより、HADセンサD11～D1m、D21～D2m・・・Dn1～Dnmから垂直CCD部V1～Vnへ読み出される信号電荷を少なくすることができ、この信号電荷による読み出し電圧を低電圧化することができる。

【0025】なお、信号電荷の読み出し時に、過大な強度の光を受けた場合でも、通常の基板電圧Vsub1よりも低い基板電圧Vsub2を半導体基板11に印加するようにしているので、一部分の信号電荷を半導体基板11に逃がすことができる。この結果、強い光を受けたHADセンサDnmで蓄積しきれずにあふれた信号電荷が、垂直CCD部V1～Vnで転送している信号電荷に混ざること回避できるので、いわゆる、輝度の高い被写体の画像の上下に白い筋が走るようなブルーミングを抑えることができる。

【0026】（実施例）図4は固体撮像装置100で使用する1つのHADセンサ20、読み出しゲート30及び垂直CCD40から成る単位素子50の構造例を示す断面図である。この例では、信号電荷の読み出し時に基板電圧Vsubを下げる事により、オーバーフローポテンシャルΦ_{OFF}と垂直CCDの読み出しポテンシャルΦ_{ROG}との関係が逆転（Φ_{OFF}<Φ_{ROG}）しない範囲で、HADセンサ20のポテンシャルに変調（浅くする）を与えるようにしたものである。すなわち、信号電荷の転送に必要な最低限の読み出し電圧を確保できる程度に、基板電圧Vsubの低電圧化を図るものである。

【0027】図4に示す固体撮像装置100で使用する単位素子50は、半導体基板としてN型のシリコン基板21が使用される。シリコン基板21には図1で示した撮像領域①及び遮光領域②などを画定するP型ウエル層

10

20

30

40

50

22が形成されている。P型ウエル層22はシリコン基板21にP型の不純物を拡散した後に熱処理などを施すことにより形成される。

【0028】このP型ウエル層22内には垂直CCD用のP型ウエル層23が形成されると共に、このP型ウエル層23内に活性層となるN型の不純物拡散層24が形成されている。N型の不純物拡散層24はN型の不純物を拡散した後に熱処理などを施すことにより形成される。N型の不純物拡散層24が形成されたP型ウエル層22上にはゲート酸化膜となるシリコン酸化膜29が形成されると共に、このシリコン酸化膜29上にはゲート電極や転送電極となるポリシリコン膜31が形成されている。

【0029】この例では、ポリシリコン膜31は読み出しゲート30を形成するために、N型の不純物拡散層24の上部領域から右側にはみ出すように形成されている。垂直CCD40は信号電荷を紙面に対して垂直方向に転送するために、P型ウエル層23と1対のN型の不純物拡散層24とによって、例えば、n型の電界効果トランジスタが構成される。

【0030】また、P型ウエル層22内には読み出しゲート30を挟むように、HADセンサ用のN型ウエル層25が形成されている。これと共に、このN型ウエル層25内には活性層となるP⁺型の不純物拡散層26が形成されている。もちろん、P⁺型の不純物拡散層26上にもシリコン酸化膜29が形成されている。このP⁺型の不純物拡散層26、N型ウエル層25、P型ウエル層22及びN型のシリコン基板21によってP⁺NPN型のフォトダイオードが構成され、1単位のHADセンサ20が構成されている。なお、読み出しゲート30はP型ウエル層22をチャンネル領域とし、垂直CCD用のN型の不純物拡散24と、HADセンサ用のN型ウエル層25とを共用すると共に、ポリシリコン膜31をゲート電極としたn型の電界効果トランジスタによって構成される。

【0031】この例では垂直CCD用のP型ウエル層23の左側にはチャンネルストッパ層27が形成され、HADセンサ用のN型ウエル層25の右側にはチャンネルストッパ層28が形成され、この単位素子50と隣接する他の単位画素を構成するHADセンサ20や垂直CCD40などから素子分離されている。

【0032】更に、ポリシリコン膜31上には層間絶縁膜としてのシリコン酸化膜32が基板全体を覆うように形成されている。シリコン酸化膜32上には転送クロック信号などの信号配線に使用されると共に、遮光膜としても機能するアルミニウム膜33が選択的に形成されている。アルミニウム膜33は、シリコン酸化膜32上でHADセンサ20の窓部34となる部分には形成されていない。この窓部34は被写体からの光をP⁺型の不純物拡散層26に入射させる部分である。

【0033】この例では、信号電荷の読み出し時に、図2で示した基板バイアス発生回路12からN型のシリコン基板21に、その信号電荷を読み出さない場合の基板電圧V_{sub1}に比べて低い基板電圧V_{sub2}を供給するようになされたものである。

【0034】次に、固体撮像装置100で使用する単位素子50の読み出し時の動作を説明する。図5は固体撮像装置100で使用する単位素子50のポテンシャル例を示す図である。

【0035】この例では、図5中に境界線Lを定義したときに、その境界線Lの右側は基板水平方向のポテンシャルであり、読み出しゲート30のチャンネルポテンシャル Φ_{ROC} の変化を示している。その右側は基板深さ方向のポテンシャルであり、HADセンサ20のオーバーフローポテンシャル Φ_{OFB} の変化を示している。いずれのポテンシャルも上部が浅く（エネルギーが低く）下部が深い（エネルギーが高い）ことを示す。境界線Lから右側に延びたX1-X2はHADセンサ20のN型ウエル層25からN型シリコン基板21に向かう深さ方向を定義したものである。

【0036】まず、図4に示す窓部34に光が入射されると、N型ウエル層25内に信号電荷10が蓄積される。このとき、図5に示すP型ウエル層22のオーバーフローポテンシャル Φ_{OFB} が隆起しており、その極大点よりも浅い領域で発生した信号電荷10がN型ウエル層25の蓄積ポテンシャル Φ_s の極小点に転がり落ちて蓄積される。

【0037】このN型ウエル層25に蓄積された信号電荷10を垂直CCD40に読み出す場合には、読み出しゲート30に読み出し許可信号 $\phi_{\text{SG}} = \text{「H」}$ （ハイ）レベルを印加する。つまり、「H」レベルの読み出し許可信号 ϕ_{SG} が読み出しゲート30に印加されると、チャンネルポテンシャル Φ_{ROC} が、HADセンサ20のN型ウエル層25の蓄積ポテンシャル Φ_s より深くなり、いわゆる、チャンネルが開いた状態になる。このチャンネルオープンによって、垂直CCD40に信号電荷10が読み出される。このとき、オーバーフローポテンシャル Φ_{OFB} と読み出しゲート30のチャンネルポテンシャル Φ_{ROC} との関係が $\Phi_{\text{OFB}} > \Phi_{\text{ROC}}$ を維持するように、N型シリコン基板21に基板電圧V_{sub}を供給するが、この例ではHADセンサ20から信号電荷10を読み出さない場合の基板電圧V_{sub1}に比べて低い基板電圧V_{sub2}を印加するようになされたものである。

【0038】従って、N型シリコン基板21と容量結合しているHADセンサ20のN型ウエル層25の蓄積ポテンシャル Φ_s が浅くなると共に、この蓄積ポテンシャル Φ_s とオーバーフローポテンシャル Φ_{OFB} の極大点との差が少なくなる。この結果、N型ウエル層25に蓄積された信号電荷10の一部をN型シリコン基板21へ逃がすことができる。これと共に、HADセンサ20と垂

直 CCD 40 との間のフリンジング電界が高くなることにより、HAD センサ 20 から垂直 CCD 40 へ読み出される信号電荷 10 を少なくすることができる。この信号電荷 10 の低減により、垂直 CCD 40 で転送される信号電荷 10 の読み出し電圧を低く抑えることができる。

【0039】なお、垂直 CCD 40 に読み出された信号電荷 10 は、その垂直 CCD 40 の転送電極を中間電位 $\phi_{SG} = \text{「M」}$ (ミッド) レベルにしたり、それよりも低い電位 $\phi_{SG} = \text{「L」}$ (ロー) レベルにすることにより、紙面と垂直する方向に転送される。そして、その信号電荷 10 は図 1 に示した電荷蓄積部 A1 などに蓄積された後に、水平 CCD 部 13 を通って電荷検出部 14 に至り、アンプ 15 で増幅された後に、アナログ撮像信号 Sout となって出力端子 16 から出力される。

【0040】また、信号電荷 10 が垂直 CCD 40 で転送されている間は、基板バイアス発生回路 12 によって元の基板電圧 V_{sub1} が N 型シリコン基板 21 に印加される。一方では、次の画像が HAD センサ 20 で光電変換され、これによる信号電荷 10 が N 型ウエル層 25 に蓄積される。このときは、基板電圧 V_{sub1} が N 型シリコン基板 21 に供給されているので、垂直転送状態の読み出しゲート 30 のチャネルポテンシャル Φ_{ROG} を HAD センサ 20 オーバーフローポテンシャル Φ_{OFF} よりも深くすることができる。従って、常に、 $\Phi_{OFF} > \Phi_{ROG}$ の関係を保つようになされ、蓄積中の信号電荷 10 が垂直 CCD 40 に混入することが避けられる。

【0041】このようにして本実施例によれば、HAD センサ 20 から垂直 CCD 40 へ信号電荷 10 を読み出すときに、その信号電荷 10 を読み出さない場合の基板電圧 V_{sub1} に比べて低い基板電圧 V_{sub2} が基板バイアス発生回路 12 から N 型シリコン基板 21 に印加される。

【0042】従って、各々の HAD センサ 20 から垂直 CCD 40 へ読み出される信号電荷 10 の一部を N 型シリコン基板 21 側に逃がすことができるので、その信号電荷 10 による読み出し電圧を低下させることができる。

【0043】これにより、信号電荷 10 の転送に必要な最低限の読み出し電圧を確保できる程度に、基板電圧 V_{sub} の低電圧化を図ることが可能となる。HAD センサ 20 からの読み出し電圧が下がることで、当該固体撮像装置 100 の消費電力を低減させることができる。

【0044】また、HAD センサ 20 からの読み出し電圧が下がることで、当該固体撮像装置 100 に接続される周辺回路の駆動電圧を下げる可以降低ことができる。従って、当該固体撮像装置 100 を搭載したビデオカメラなどの消費電力も低減させることができる。

【0045】更に、HAD センサ 20 からの読み出し電圧が下がることで、いわゆるブルーミングを発生するこ

となく、その信号電荷 10 を垂直・水平方向に転送することができる。従って、HAD センサ 20 の飽和信号量の拡大が図られ、同等の撮像特性で単位画素を更に微細化することができる。これにより、同一の大きさの受光面を有した従来方式の固体撮像装置に比べて多画素化を図ることができる。この例では読み出し許可信号 ϕ_{SG} が読み出しゲート 30 に印加された直後に基板電圧を V_{sub1} から V_{sub2} へ下げる場合について説明したが、これに限られることはない。

10 【0046】例えば、メカニカルシャッタなどを使用した場合において、その HAD センサ 20 から信号電荷 10 を読み出すときは、撮像領域①が予め遮光されることから、信号電荷 10 の読み出しに先行して、基板電圧を V_{sub1} から V_{sub2} へ下げてもよい。これによっても、同様な効果が得られる。もちろん、基板電圧 V_{sub} を 3 値 (読み出し時／蓄積時／掃き捨時) で時分割に駆動してもよい。

20 【0047】本実施の形態ではフレームインターライントランスファ方式の固体撮像装置の場合について説明したが、これに限られることはなく、フレームトランスファ方式やインターライントランスファ方式の固体撮像装置にも適用できることは言うまでもない。

【0048】

【発明の効果】以上説明したように、この発明によれば、光電変換素子から電荷転送部へ信号電荷を読み出すときは、その信号電荷を読み出さない場合の基板バイアス用の電圧に比べて低い電圧を半導体基板に印加する電圧供給部が設けられるものである。

30 【0049】この構成によって、各々の光電変換素子から電荷転送部へ読み出される信号電荷による読み出し電圧を低下させることができる。従って、信号電荷読出時の読み出し電圧が下がることで、当該固体撮像装置の消費電力を低減させることができる。

【0050】また、信号電荷読出時の読み出し電圧が下がることで、当該固体撮像装置の周辺回路の駆動電圧を下げる可以降低することができる。従って、その周辺回路での消費電力も低減させることができる。

40 【0051】更に、電荷転送時には基板バイアス用の電圧が元に戻されるので、いわゆるブルーミングを伴うことなく、その信号電荷を垂直・水平方向に転送することができる。従って、光電変換素子の飽和信号量の拡大が図られ、同等の撮像特性で単位画素を更に微細化することができる。これにより、従来方式に比べて固体撮像装置の多画素化を図ることができる。

【0052】この発明は複数の光電変換素子を二次元状に配置したフレームトランスファ方式、インターライントランスファ方式及びフレームインターライントランスファ方式などの CCD 撮像装置に適用して極めて好適である。

【図面の簡単な説明】

【図1】実施形態としての固体撮像装置100の構成例を示すブロック図である。

【図2】その基板バイアス発生回路12の内部構成例を示す回路図である。

【図3】その基板バイアス発生回路12の動作例を示すタイミングチャートである。

【図4】実施例としてのHADセンサ20、読み出しゲート30及び垂直CCD40から成る単位素子50の構造例を示す断面図である。

【図5】その単位素子50のポテンシャル例を示す図である。

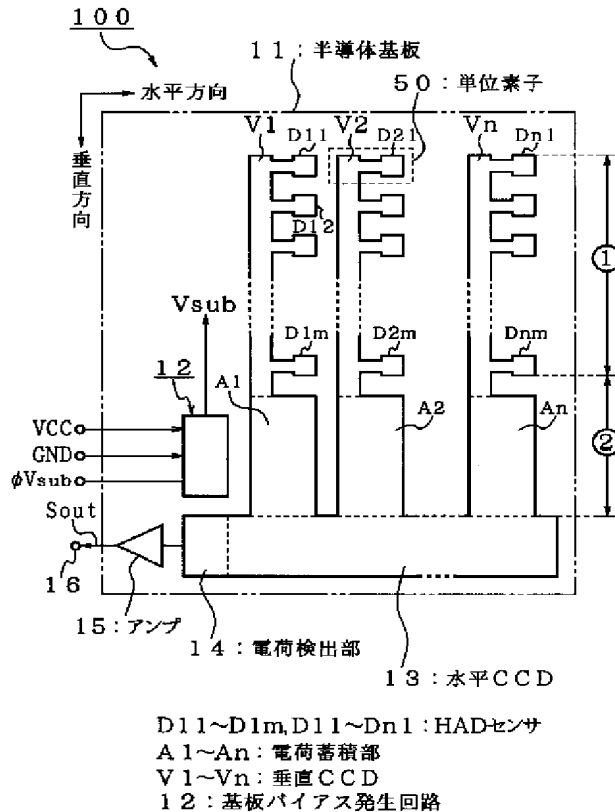
【図6】従来方式の基板バイアス発生回路1の構成例を示す回路図である。

* 【符号の説明】

11・・・半導体基板、12・・・基板バイアス発生回路、13・・・水平CCD部（電荷転送部）、14・・・電荷検出部、15・・・アンプ、R1、R2、R3・・・抵抗、Tr・・・トランジスタ、20、D11～D1m、D11～Dn1・・・HADセンサ（光電変換素子）、21・・・N型シリコン基板、22、23・・・P型ウエル層、24、25・・・N型ウエル層、26・・・P⁺型の不純物拡散層、27、28・・・チャネルストップ層、29、32・・・シリコン酸化膜、31・・・ポリシリコン膜、33・・・アルミニウム膜、34・・・窓部、30・・・読み出しゲート、40、V1～Vn・・・垂直CCD部、100・・・固体撮像装置

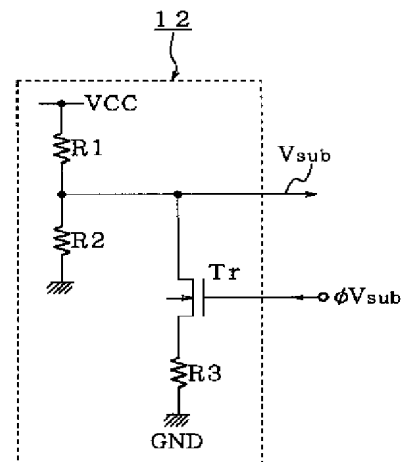
【図1】

実施形態としての固体撮像装置100の構成例



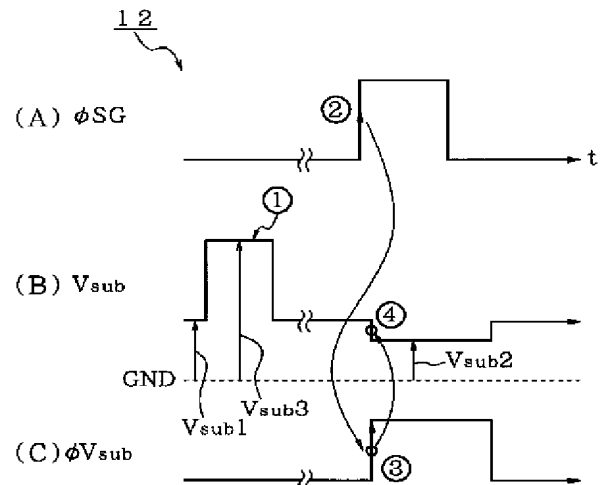
【図2】

基板バイアス発生回路12の内部構成例



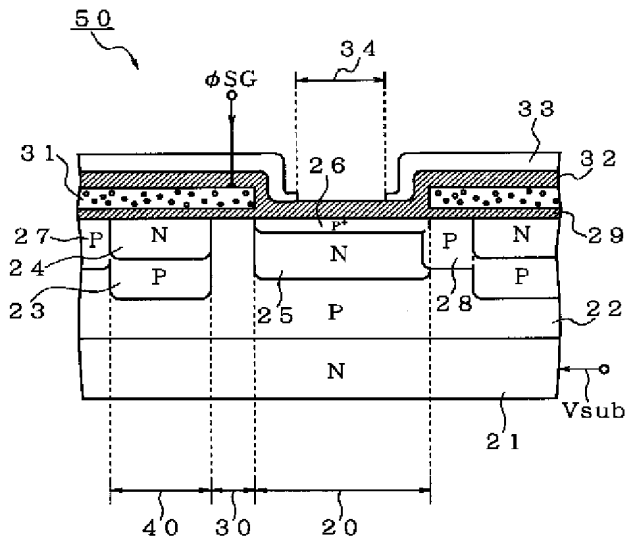
【図3】

基板バイアス発生回路12の動作例



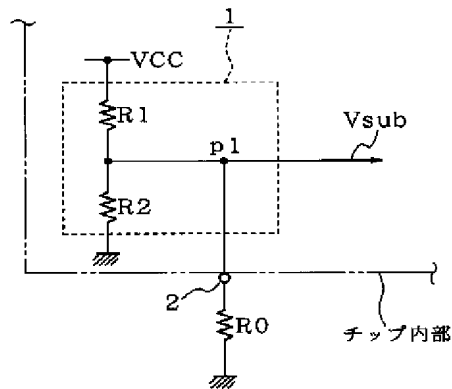
【図 4】

単位素子 50 の断面の構成例



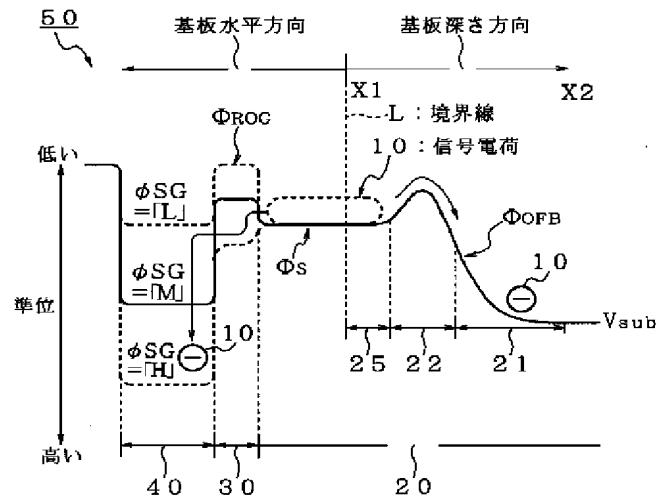
【図 6】

従来方式の基板バイアス発生回路 1 の構成例



【図 5】

単位素子 50 のポテンシャル例



【手続補正書】

【提出日】平成 10 年 9 月 1 日 (1998. 9. 1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】本発明によれば、光電変換素子から電荷転送部へ信号電荷を読み出すときに、その信号電荷を読み出さない場合の基板バイアス用の電圧に比べて低い電圧が電圧供給部から半導体基板に印加される。従って、各

々の光電変換素子のポテンシャルを浅くすることができるので、その信号電荷による読み出し電圧を低下させることができる。これにより、電荷読出時の信号電荷による読み出し電圧が下がることで、当該固体撮像装置の消費電力を低減させることができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】電圧分割用の抵抗 R_1 及び R_2 の直列接続点 p_1 には、例えば、 n 型の電界効果トランジスタ T_r が接続される。この例では、電圧制御用のクロック信号として、例えば、基板電圧制御パルス ϕV_{sub} に基づいて信号電荷読み出し時の基板電圧 V_{sub} が調整される。このために、トランジスタ T_r のドレインは直列接続点 p_1 に接続され、そのソースが抵抗 R_3 の一端に接続される。トランジスタ T_r のゲートには基板電圧制御パルス ϕV_{sub} が供給される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】この抵抗 R_3 は従来方式の外付け抵抗 $R_0 = 1\text{M}\Omega$ 程度に比べて、 $1/10 \sim 1/100 \cdots$ と数段低く、数 $10\text{K}\Omega \sim$ 数 $100\text{K}\Omega$ 単位である。抵抗 R_3 の他端は接地線 GND に接続される。この例では、トランジスタ T_r のゲートにハイ・レベルの基板電圧制御パルス ϕV_{sub} が入力されると、トランジスタ T_r がオンする。このオン動作によって抵抗 R_3 に電流が流れるので、基板電圧 V_{sub} を下げることができる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】次に、基板バイアス発生回路 12 の信号電荷読み出し時の動作を説明する。図 3 A は読み出しクロック信号 ϕSG のパルス波形図であり、図 3 B は基板電圧 V_{sub} の波形図であり、図 3 C は基板電圧制御パルス ϕV_{sub} のパルス波形図である。この例では、読み出しクロック信号 ϕSG の立ち上がりの直後に、基板バイアス発生回路 12 によって、半導体基板 11 に供給された基板電圧 V_{sub} が下げられるものである。この際、読み出しクロック信号 ϕSG は HAD センサ $D_{11} \sim D_{1m}$ 、 $D_{21} \sim D_{2m} \cdots D_{n1} \sim D_{nm}$ から垂直 CCD 部 $V_1 \sim V_n$ へ信号電荷の読み出し許可をする駆動パルスである。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】この例では、図 3 A に示すタイミング②で読み出しクロック信号 ϕSG が立ち上がると、その立ち上がり直後に図 3 C に示すタイミング③で基板電圧制御パルス ϕV_{sub} がロー・レベルからハイ・レベルに立ち上がる。この基板電圧制御パルス ϕV_{sub} を入力したトランジスタ T_r はオンする。このオン動作により、図 3

B に示すタイミング④で通常の基板電圧 V_{sub1} よりも低い基板電圧 V_{sub2} が半導体基板 11 に印加されるようになる。すなわち、トランジスタ T_r のオン動作によって、余剰な信号電荷による電流を抵抗 R_3 に強制的に引き入れ、この電流を抵抗 R_3 で消費させることができる。その結果で基板電圧 V_{sub} を下げることができる。この例で、図 3 B に示す基板電圧 V_{sub1} 、 V_{sub2} 、 V_{sub3} は、接地線 GND からの絶対的な電位であり、 $V_{sub2} < V_{sub1} < V_{sub3}$ の関係にある。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】従って、信号電荷の読み出し時には、半導体基板 11 と容量結合している HAD センサ $D_{11} \sim D_{1m}$ 、 $D_{21} \sim D_{2m} \cdots D_{n1} \sim D_{nm}$ のポテンシャルも浅くなり、その結果、各々の HAD センサ $D_{11} \sim D_{1m}$ 、 $D_{21} \sim D_{2m} \cdots D_{n1} \sim D_{nm}$ と、垂直 CCD 部 $V_1 \sim V_n$ との間のフリンジング電界が高くなることにより、 HAD センサ $D_{11} \sim D_{1m}$ 、 $D_{21} \sim D_{2m} \cdots D_{n1} \sim D_{nm}$ から垂直 CCD 部 $V_1 \sim V_n$ への読み出し電圧を低電圧化することができる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】削除

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】（実施例）図 4 は固体撮像装置 100 で使用する 1 つの HAD センサ 20、読み出しゲート 30 及び垂直 CCD 40 から成る単位素子 50 の構造例を示す断面図である。この例では、 HAD センサ 20 から信号電荷を読み出した後に、基板電圧 V_{sub} を下げることにより、その HAD センサ 20 のポテンシャルに変調（浅くする）を与えるようにしたものである。すなわち、信号電荷の転送に必要な最低限の読み出し電圧を確保できる程度に、基板電圧 V_{sub} の低電圧化を図るものである。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】この例では、図 5 中に境界線 L を定義したときに、その境界線 L の左側は基板水平方向のポテンシャルであり、読み出しゲート 30 のチャネルポテンシ

ル Φ_{rog} の変化を示している。その右側は基板深さ方向のポテンシャルであり、HADセンサ20のオーバーフローポテンシャル Φ_{OFB} の変化を示している。いずれのポテンシャルも上部が浅く（エネルギーが低く）下部が深い（エネルギーが高い）ことを示す。境界線Lから右側に延びたX1-X2はHADセンサ20のN型ウエル層25からN型シリコン基板21に向かう深さ方向を定義したものである。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】従って、N型シリコン基板21と容量結合しているHADセンサ20のN型ウエル層25の蓄積ポテンシャル Φ_s が浅くなると共に、この蓄積ポテンシャル Φ_s とオーバーフローポテンシャル Φ_{OFB} の極大点との差が少なくなる。これと共に、HADセンサ20と垂直CCD40との間のフリンジング電界が高くなることにより、信号電荷10の読み出し電圧を低く抑えることができる。